

最大効率を得るための デッドタイムの最適化



Johan Strydom, Ph.D., アプリケーション部門バイス・プレジデント, David Reusch, Ph.D., アプリケーション部門ディレクタ, Efficient Power Conversion Corporation

このホワイト・ペーパーでは、最適化の問題[1]の調査を続け、eGaN[®] FETおよびMOSFETのシステム効率に対するデッドタイムの影響を調べます。

デッドタイム関連の損失

以前に公開した記事 [2,3] では、eGaN FETがシリコン・デバイスと同様に動作し、同じ測定基準を使って特性を評価できることを示しました。eGaN FETは、ほとんどの測定基準でより優れた性能が得られますが、eGaN FETの「ボディ・ダイオード」の順方向電圧は、同等のMOSFETよりも高く、デッドタイム中に大きな損失成分になる可能性があります。ボディ・ダイオードの順方向導通損失だけでは、デッドタイムに依存する損失のすべてを説明することはできません。ダイオードの逆回復と出力容量の損失も重要です。このホワイト・ペーパーでは、デッドタイム管理の重要性と、すべてのデッドタイム損失を最小限に抑えるための要件について説明します。

まず、図1に示すMOSFETとeGaN FETの両方の逆方向伝達特性を検討します。この図は、25°Cにおいて、Si MOSFETと比べて、eGaN FETの「ボディ・ダイオード」の順方向電圧降下が1.5V高いことを示しています。温度が上昇すると、電圧差がほぼ2Vに増えます。eGaN FETの「ダイオード」は、逆方向および多数キャリアの動作で導通するチャンネルにすぎないため、示されているものは、それではありません。すなわち、これによって、eGaN FETはダイオードの逆回復電荷が発生しません。ボディ・ダイオードの順方向導通損失と逆回復損失だけが、デッドタイムに関連する損失ではありません。すなわち、自己転流時間が、割り当てられたデッドタイムよりも長い場合、出力容量の損失と余分なスイッチング損失が発生します。これについては、このホワイト・ペーパーの後半で詳しく説明します。

実効的なデッドタイム

ここで説明する分析では、実効的なデッドタイムが使われます。これは、コントローラのゲートに加える信号の間で生じるデッドタイムとは異なります。実効的なデッドタイムは、1つのデバイスのゲートがオフするしきい電圧 (V_{TH}) に到達してから、オンする他のデバイスがしきい電圧に到達するまでの時間で定義されます。コントローラのデッドタイムが一定なら、実効的なデッドタイムは、デバイスのしきい電圧、ゲート抵抗、ゲート容量の変動に依存します。この結果として生じる実効的なデッドタイムは、デバイスの動作電圧とゲート駆動回路のパルス幅の変動にも依存します。

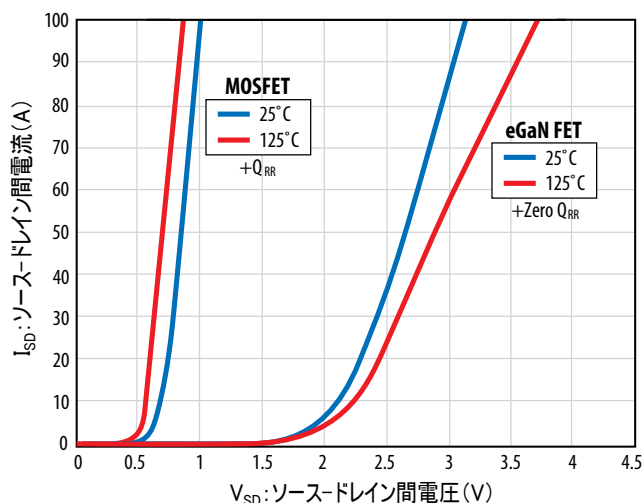


図1: 25°Cおよび125°Cでの100VのGaN FETと同等のMOSFETの逆方向伝達特性

デッドタイム損失に対するゲートのタイミングの影響

デッドタイム期間中にボディ・ダイオードを導通させる方法は限られています。ボディ・ダイオードの損失に対するゲートのタイミングの影響を判断するために、これらすべてのデバイスの状態が考慮されます。簡単に言えば、デバイスのオン時とオフ時の両方でボディ・ダイオードが導通する可能性があります。デバイスのオフ時にダイオードを導通させるには、バック・コンバータの同期整流器のオフ時など、ソースからドレインに負の電流が流れる必要があります (ドレインからソースに流れる電流を正としたとき)。負の電流 (デバイスのオフ時のダイオード導通) の場合、次のデバイスのオン時は常に、ハード・スイッチングであり、導通ダイオードの逆回復が必要です。MOSFETの逆回復損失は、ボディ・ダイオードの転流時間を制限することで低減できることを示唆するいくつかの例 [4,5] がありますが、これらの多くは、MOSFETダイオードの順方向回復特性に依存するので、利用できません。ほとんどの場合、この電流は、完全にボディ・ダイオードに転流する結果、ダイオードの逆回復が発生し、デッドタイムが増加すると損失がさらに増加します。

オン時のダイオード導通では、バック・コンバータの同期整流器がオンする前のデッドタイム間隔など、オンするデバイスに加わるドレイン電圧は、ドレイン端子に流入する正の電流によって外部に転流されなければなりません。このような正の電流の場合、オフするデバイスに加わるドレイン電圧が増加し始め、しかも負荷電流に依存するため、この分析は、より複雑になります。電圧を完全に転流するための十分なエネルギーがコイルにあるとき、損失のないゼロ電圧スイッチング (ZVS) のオンを実現できますが、デッドタイムをさらに増やすと、ダイオードの導通損失が余分に増加するだけです。ZVSに必要な時間以下にデッドタイムを短くすると、低いスイッチング電圧でハード・スイッチングが発生し、損失も増加します。したがって、正の電流の場合、負荷電流に依存する最適な実効的なデッドタイム値が存在します。所定のデッドタイムの負電流と正電流の両方のドレインからソースへの電圧波形の全範囲が図2です。この波形は、最大損失 (濃い赤色) から、純粋に損失のない転流 (青色) までの相対的なデッドタイム依存の転流損失を表すために色分けしています。

この分析では、オン時とオフ時の両方でのスイッチング損失は無視します。これらはデッドタイムに依存しないためです。ただし、上記で説明したように、デッドタイムが転流を可能にするために不十分な正電流では、同期整流器のハード・スイッチングのオン時の損失が余分に発生する可能性があります。加えて、ボディ・ダイオードの導通、出力容量 (E_{OSS})、およびダイオードの逆回復損失 (E_{QRR}) も考慮されます。ゼロ電流のオフ時の特殊なケースも示されています。この場合、ゼロ電流スイッチング (ZCS) でオンするとき、 E_{OSS} 損失のみが発生します。

効率を最適化し、デッドタイムの転流損失を最小化するには、オン時とオフ時の両方のデッドタイム間隔で負荷電流範囲が異なることが重要です。図2に示すデッドタイム転流波形の範囲は網羅的であり、ほとんどの特定のアプリケーションや特定のデッドタイム間隔に必要な範囲よりもはるかに大きくなっています。このホワイト・ペーパーの目的は、広い電圧範囲とアプリケーションにわたって、eGaN FETとシリコンMOSFETを比較することなので、図2の全負荷電流範囲を検討します。その後、特定のアプリケーションのデッドタイム間隔に対してこれらのサブセットを選択し、それに必要な最適化条件を決定することができます。広範囲の考えられるデッドタイム損失を最もよく表し、FET技術を迅速に比べるために、図3に示すように、電流の全範囲に対するデッドタイムの関数としてのエネルギー損失のグラフ表示を提案します。図2で使われている特定のデッドタイムの値は、各転流波形と共にx軸に沿った1つの点になり、個別のエネルギー損失の数 (色付きの円) が生成されます。

この分析の実際の数値を生成するために、ハーフブリッジ (トータムポール) 構成の2個のデバイスを想定し、低電圧ハード・スイッチングのオン時、出力容量、ボディ・ダイオード、逆回復の各損失を [1] の表1の式を使って計算し、各デバイスのデータシートからパラメータを計算します。表1のこれらの式をここで繰り返し、デッドタイム間隔の計算ごとの低電圧スイッチングとエネルギー損失に対応するために書き直します。他の構成 (センター・タップなど) も同様に分析できます。

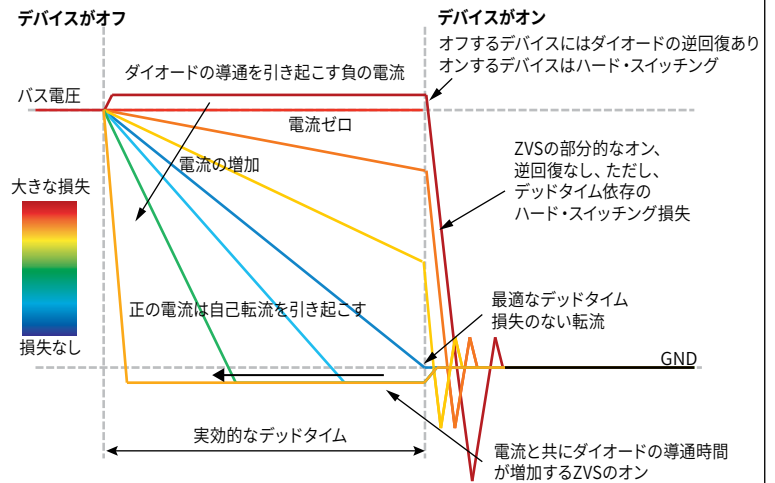


図2: 所定のデッドタイムで負荷電流を変化させるための理想的なドレイン・ソース間電圧の転流波形 (濃い赤色から青色への色付けは、大きな損失から損失なしを表します)

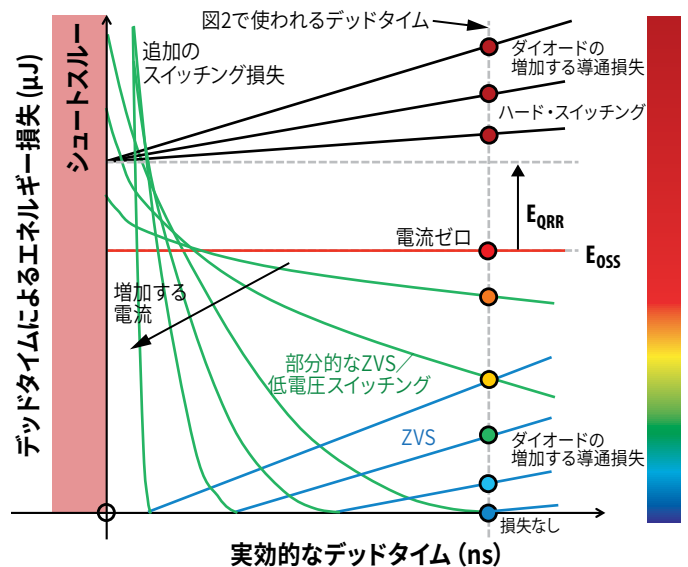


図3: さまざまな負荷電流対デッドタイムに対する1サイクル当たりの理想的なデッドタイム関連損失 (赤色から青色への色付けは、大きな損失から損失なしを表します)

構成	使う式
デバイスのオン時の損失	$\frac{V_{SW} \cdot I_L}{2} \cdot \frac{R_G \cdot (Q_{GD(V_{sw})} + Q_{GS2})}{V_{DR} - V_{PL}}$
ダイオードの逆回復損失	$Q_{RR} \cdot V_{BUS}$
出力容量の電荷の損失	$\frac{Q_{OSS}(V_{sw})}{2} \cdot V_{SW}$
ボディ・ダイオードの導通損失	$I_L \cdot V_F \cdot \Delta t$

表1: デッドタイム間隔ごとの実効的なデッドタイムのエネルギー損失の計算に使う式

eGaN® FETとMOSFETの比較

100 VのeGaN FET[6]、および同様のオン抵抗 $R_{DS(on)}$ の最新の80 VのMOSFET [7] を使った60 Vバスのハーフブリッジ・アプリケーションのデッドタイム損失が図4です。この線は、4 Aの負荷ステップで-20 Aから+20 Aまでを示します。この比較によって、以下の違いが明確に示されます：

- 1) eGaN FETの自己転流時間（緑色の曲線がゼロになるまでの時間）は、出力容量が小さいため、MOSFETの約半分です。
- 2) eGaN FETのハードな転流による蓄積エネルギー損失と、ダイオードの逆回復損失は、逆回復がないことと出力容量が小さいことによって、MOSFETの約1/3（36%）です。
- 3) eGaN FETでは、ダイオードの導通電圧が高いため、ボディ・ダイオードの導通損失は、時間と共に増加し、MOSFETよりも約2.5倍速く増加します（図4の時間スケールの違いに注意してください）。
- 4) 最適なデッドタイム範囲は負荷電流に依存しますが、eGaN FETでは、この範囲はMOSFETの約50%です（4 A~20 AのeGaN FETの動的最適範囲5 ns~20 nsに対して、MOSFETでは9 ns~36 nsです）。すべての負荷電流条件に単一のデッドタイムが使われる実際の設計において、この値は、それぞれ20 ns±7 nsと44 ns±16 nsになり、同様の1 nJ弱のデッドタイム損失結果が得られます（図4のオレンジ色で強調された領域）。デッドタイムの損失を小さくすることも可能ですが、より厳しい許容誤差および/または動的デッドタイムの最適化が必要になります。

低電圧用途では、他の損失に比べて、ボディ・ダイオードの影響がより顕著になります。図5のデッドタイム損失において、40 VのeGaN FET [8] と同様の $R_{DS(on)}$ の最新の30 VのMOSFET [9]を使うこのような12 Vの降圧（バック）型の用途を考えてみましょう。この線は、上記と同様に、4 Aの負荷ステップで-20 Aから+20 Aまでを示します。この比較によって、60 Vのときと同様に、以下の違いが明確に示されます：

- 2) eGaN FETのハードな転流による蓄積エネルギー損失と、ダイオードの逆回復損失は、MOSFETのその損失に比べて約半分（45%）です。
- 4) 最適なデッドタイム範囲は、MOSFETの50%程度そのままですが、いずれも非常に小さくなっています（4 A~20 AのeGaN FETの動的最適範囲のわずか3 ns~6 nsに対して、MOSFETでは7 ns~13 nsです）。一定のデッドタイム設計の場合、両方のデッドタイム範囲（図5のオレンジ色で表示）は6 ns以下の幅であり、これに必要な精度を生成することは困難です。デッドタイム損失の減少はもって素晴らしいですが、さらに厳しい許容誤差、および/または、動的デッドタイムの最適化が必要になります。

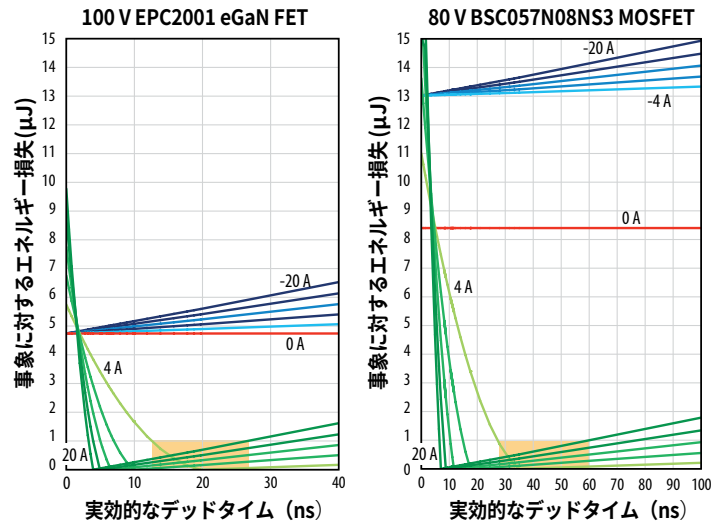


図4：60 VのアプリケーションにおけるeGaN FETとMOSFETの両方のデッドタイムに対する1サイクル当たりのデッドタイム損失の計算値（4 Aステップで-20 A~+20 A）

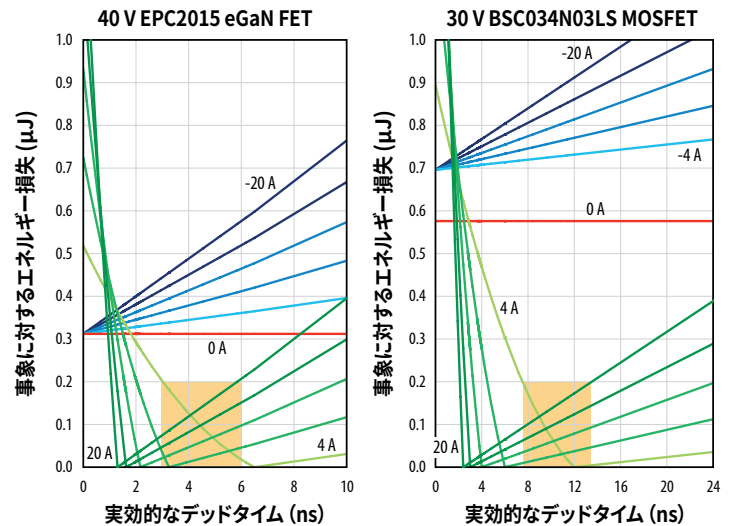


図5：12 VのアプリケーションにおけるeGaN FETとMOSFETの両方の1サイクルごとのデッドタイム損失とデッドタイムの計算値（4 Aステップで-20 A~+20 A）

ほとんどのMOSFETドライバとMOSFETの組み合わせに対するこのような厳しい許容度に対する電流能力の不足を考えると、このような小さなデッドタイム範囲を備えた一般的な代替ソリューションは、ショットキー・ダイオードを並列に追加して、より現実的な範囲でデッドタイム損失を最小化することです。シリコンでは、ショットキー・ダイオードがMOSFETにモノリシックに集積されている場合にのみ有効です。ボディ・ダイオードとショットキー・ダイオードの間の電圧降下の差が小さいこと、それらの間の大きなループ・インダクタンスは、転流時間が長すぎて実用的でないことを意味するためです[10]。さらに、ショットキー・ダイオードへの部分的な転流は、MOSFETのボディ・ダイオードがオフ時にまだ回復する必要があり、余分な関連する回復損失があることを意味します。あるいは、ダイオードの導通時間を長くして完全な転流を可能にすると、代わりに、余分なダイオード導通損失が発生します。どちらのソリューションも現実的でないため、モノリシックに集積したショットキー・ダイオードのみが、実際にデッドタイム損失を低減します。

eGaN FETの場合、非常に異なります。

- 第1に、ボディ・ダイオードの逆回復がないため、ボディ・ダイオードからショットキー・ダイオードへの部分的な転流電流でさえも、まだ全体的なデッドタイム損失が低減します。
- 第2に、2個のダイオード間に大きな電圧差を加えると、転流電流の速度が速くなるので、ボディ・ダイオードの順方向降下ははるかに大きいため、ここにショットキー・ダイオードを追加することは実質的に有益です [11]
- 最後に、eGaN FETのランド・グリッド・アレイ (LGA) ・パッケージは寄生インダクタンスが小さいので、転流ループ・インダクタンスを大幅に低減することによって、ショットキー・ダイオードを外付けできます。ショットキー・ダイオードのパッケージ・インダクタンスとプリント回路基板のループを最小限に抑え、この利点を無にしないことにも注意すべきです。これは、基板の同じ側にあるeGaN FETの隣にショットキー・ダイオードを配置し、低インダクタンス・パッケージのショットキーを選択することで最適に実現できます [12,13]。タブが露出した改善されたサーマル・パッケージ部品は、ワイヤーボンド接続の一方または両方を排除できるので優れています。推奨するレイアウトが図6です。

前記と同じ損失計算プロセスに従って、12 Vのアプリケーションにおいて、3 Aのショットキー・ダイオードをeGaN FETに追加した場合の影響 (図7の右図) を、ショットキー・ダイオードを使わない標準のeGaN FET (図7の左図) と比較しました。これから、次の結論を導き出すことができます：

- 1) ショットキー・ダイオードを追加すると、出力容量の損失が増加し、自己転流時間がわずかに長くなります。ショットキー・ダイオードの適切なサイズを選択することは、容量性損失の増加とダイオードの導通損失の削減のバランスを取るために重要です。
- 2) 3Aのショットキー・ダイオードのとき、ダイオードの導通損失は約40%に減少し、ダイオードの順方向導通電圧降下の減少と直接関係しています。ショットキー・ダイオードの最適なスケールリングによって、選択した負荷範囲に対して、これを改善できます。
- 3) 実質的なデッドタイム範囲 (0.2 μJ以下の損失の場合) は、ほぼ4倍になり、図5のショットキー・ダイオードを集積していない同等のMOSFETダイオードのほぼ2倍です。

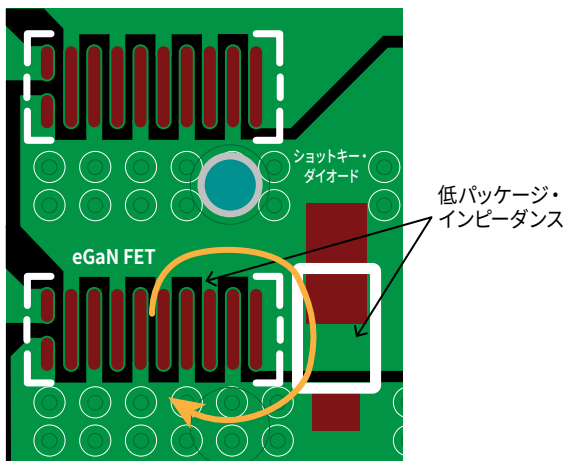


図6: eGaN FETにショットキーを外付けするための推奨レイアウト

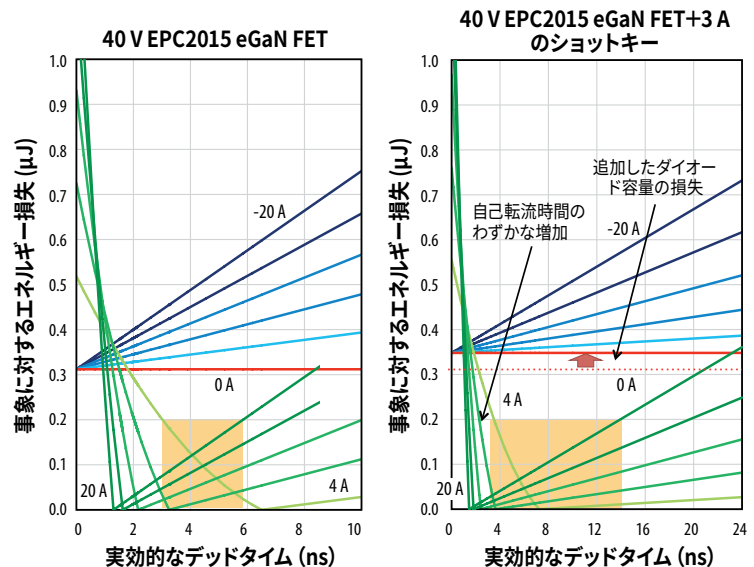


図7: 12 Vのアプリケーションにおいて、外付けショットキー・ダイオードの有無によるeGaN FETの1サイクル当たりのデッドタイム損失とデッドタイムの計算値 (4 Aステップで-20 A~+20 A)

実験による検証

予想通りに外付けショットキーを実際に使えるかどうかを判断するために、40 VのeGaN FETと同等の40 VのシリコンMOSFETを使って2つの同等のバック・コンバータ基板を構築し、両方のコンバータを1 MHz、12 V 入力、1.2 V出力で動作させました。両方の実効的なデッドタイムが等しくなるように設定し、負荷を最大20 Aまで変化させました。その後、小さな1Aのショットキー・ダイオードを外付けてテストを繰り返しました。測定された実験結果が図8です。最適な実効的なデッドタイムにおいて、このデッドタイムはボディ・ダイオードの導通を試みるか、なしにするように調整され、5 nsと10 nsのデッドタイムでは、図2のように、ゲートのタイミングは実効的なデッドタイムが一定になるように調整します。

図8から、以下の結果が分かります：

- 1) この低電力レベルで高周波の動作では、エッジ当たり5 nsの実効的なデッドタイム (1サイクルあたり合計10 ns) ごとに効率が1%低下します。これは、MOSFETの損失の約2倍です。
- 2) 小さなショットキーを外付けすれば、10 A負荷の周辺で最大70%、全体で50%以上、デッドタイム損失を大幅に削減できます。大出力電流での改善の減少は、大電流でのショットキー・ダイオードの順方向電圧降下が大きいためです。このため、意図的に選択した1Aのダイオード [14] は、このような20 A出力のアプリケーションには小さすぎます。より大きなショットキー・ダイオードを使うと、ピーク効率の改善がより大きな出力電流に移ります。
- 3) 20 Aで1Vを超える順方向電圧降下のある小型ショットキー・ダイオード [13] を外付けしても、回路はまだ電流を転流し、全体のデッドタイム損失を約50%削減できます。
- 4) MOSFET設計では、ショットキー・ダイオードの外付けは、測定可能な改善を示さず、実効的なデッドタイム損失を低減するために、ショットキー・ダイオードを集積する必要があるという事実をはっきりさせています。

eGaN FETの設計では、同様のデッドタイム損失を実現するために、実効的なデッドタイムをMOSFET設計の約半分にするか、同じ実効的なデッドタイムでショットキー・ダイオードを外付けする必要があります。

まとめ

このホワイト・ペーパーでは、MOSFETベースのコンバータと比べて、eGaN FETベースのコンバータのデッドタイム損失の影響を調べました。この分析から、次の結論が導き出されます：

- 1) 電圧に関係なく、同様のデッドタイム損失にするには、eGaN FETの実効的なデッドタイムを同等のMOSFET回路の約半分にする必要があります。すなわち、同等の損失に対して、デッドタイム値と許容範囲を1/2に小さくし、許容範囲に収めなければなりません。
- 2) 高電圧では、ダイオードに関連するデッドタイム損失は、出力容量損失と逆回復損失の両方に比べて小さくなります。つまり、最適なデッドタイム要件は現実に、現在のシリコン技術で実現できます。
- 3) バス電圧が低下すると、ダイオードの導通損失がより大きくなり、MOSFETとeGaN FETの両方に必要な最適なデッドタイム値にすることが難しくなります。
- 4) MOSFETの場合、小さな最適なデッドタイム値を実現できないために、ボディ・ダイオードの導通損失による増加は、ショットキー・ダイオードを追加することで大幅に低減できますが、このショットキー・ダイオードを効果的にするには、MOSFETとモノリシックに集積しなければなりません。
- 5) eGaN FETの場合、ショットキー・ダイオードの外付けが可能であり、通常、ボディ・ダイオードの損失を半分にでき、サイズが最適化されている場合は70%も削減できます。

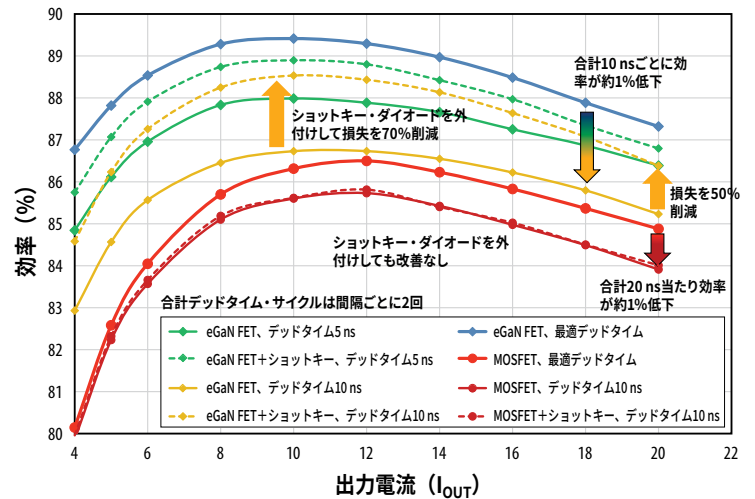


図8: 異なる実効的なデッドタイム値 (両方のエッジで同じ) およびショットキー・ダイオードの外付けあり/なしに対する1 MHz、12 V 入力、1.2 V出力で動作する40 VのeGaN FETおよびMOSFETのバック・コンバータの効率の実験結果

参考文献：

- [1] J. Strydom, "eGaN® FET- Silicon Power Shoot-Out Volume 11: Optimizing FET On-Resistance", Power Electronics Technology, Oct. 2012, http://powerelectronics.com/discrete-semis/gan_transistors/egan-fet-silicon-power-shoot-out-volume-11-optimizing-fet-on-resistance-1001/
- [2] J. Strydom, "eGaN® FET-Silicon Power Shoot-Out Part 1: Comparing Figure of Merit (FOM)", Power Electronics Technology, Sept. 2010, http://powerelectronics.com/power_semiconductors/power_mosfets/fom-useful-method-compare-201009/
- [3] J. Strydom, "The eGaN FET-Silicon Power Shoot-Out: 2: Drivers, Layout", Power Electronics Technology, Jan. 2011, http://powerelectronics.com/power_semiconductors/first-article-series-gallium-nitride-201101/
- [4] J. Cerezo, "Class D Audio Amplifier Performance Relationship to MOSFET Parameters", International Rectifier application note, AN-1070, <http://www.irf.com/technical-info/appnotes/an-1070.pdf>
- [5] M. Christian, "Improving Efficiency of Synchronous Rectification by Analysis of the MOSFET Power Loss Mechanism", Infineon Technologies Application Note, AN-2012-03, http://www.infineon.com/dgdl/15_IFX-Application-Note-Synchronous+Rectification.pdf?folderId=db3a3043156fd5730115939eb6b506db&fileId=db3a304320d39d590121a671f2d90c38
- [6] EPC2001 datasheet, EPC Corporation, <https://epc-co.com/epc/Products/eGaNfetsandCs/EPC2001.aspx>
- [7] BSC057N08NS3G datasheet, Infineon Technologies. http://www.infineon.com/dgdl/BSC057N08NS3G_rev2.4.pdf?folderId=db3a304313b8b5a60113cee8763b02d7&fileId=db3a30431add1d95011ae803c9345616
- [8] EPC2015 datasheet, EPC Corporation, <https://epc-co.com/epc/Products/eGaNfetsandCs/EPC2015.aspx>
- [9] BSC034N03LS datasheet, Infineon Technologies. http://www.infineon.com/dgdl/BSC034N03LS_rev1.2.pdf?folderId=db3a304313b8b5a60113cee8763b02d7&fileId=db3a30431ed1d7b2011f3ba01de246ef
- [10] J. White, "MOSFET Body Diode", Hephaestus Audio, <http://hephaestusaudio.com/media/2008/11/mosfet-body-diode.pdf>
- [11] D. Reusch, "High Frequency, High Power Density Integrated Point of Load and Bus Converters," Ph.D. Dissertation, Virginia Tech, 2012, <http://scholar.lib.vt.edu/theses/available/etd-04162012-151740/>
- [12] Diodes Incorporated news release, "Diodes, Inc. Introduces Industry-Leading High Efficiency SBR Devices in PowerDITM123 Compact Power Package", January 2007, http://www.diodes.com/file_archive/download.php?branchId=1&pointer=995946c41f9bbe626a18b44538c31a15
- [13] Panasonic news release, "High Thermal Dissipation Schottky Barrier Diode with Ultra-Small PMCP Package", September 2012, http://panasonic.net/id/news/20120905_1.html
- [14] MSS1P4 datasheet, Vishay, <http://www.vishay.com/docs/89019/mss1p4.pdf> Power Supply for 3G-4G Cell Phone Base Stations, Applied Power Electronics Conference (APEC) 2012, Feb. 2012, Orlando, Florida.